

(54)[Title of the Invention]

SEMICONDUCTOR INTEGRATED CIRCUIT

(57)[Summary] (Corrected)

[Purpose]

An object of the present invention is to provide a semiconductor integrated circuit, which can configure various logic circuits using common mask except a metal wiring mask, and can greatly improve a performance of custom LSI.

[Constitution]

The present invention provides a semiconductor integrated circuit including: a plurality of input terminals; at least one output terminal; and a logic circuit, which is locally built in and constructed in a manner that a plurality of circuit blocks having the same circuit configuration is arranged, characterized in that the circuit blocks have at least tow-stage inverter composed of a MOS type semiconductor device, and each of the circuit blocks is provided with at least one-layer wiring pattern having different pattern as the need arises, and further, a function type is predetermined so that an output signal of each circuit block becomes a predetermined function of input signal by the wiring pattern.

[Scope of Claims for Patent]

[Claim 1] A semiconductor integrated circuit including: a plurality of input terminals; at least one output terminal; and a logic circuit, which is locally built in and constructed in a manner that a plurality of circuit blocks having the same circuit configuration is arranged, characterized in that the circuit blocks have at least tow-stage inverter composed of a MOS type semiconductor device, and each of the circuit blocks is provided with at least one-layer wiring pattern having different pattern as the need arises, and further, a function type is predetermined so that an output signal of each circuit block becomes a predetermined function of input signal by the wiring pattern.

[Claim 2] The semiconductor integrated circuit according to claim 1, characterized in that a neuron MOS transistor is used as the MOS semiconductor device, and the neuron MOS transistor has: one-conductive type semiconductor area on a substrate; counter-conductive type source and drain provided on the area; a floating gate electrode, which is provided at an area isolating the source and drain area via a first dielectric film and is potentially in a floating state; and a plurality of control gate electrodes coupled in its capacitance via the floating gate electrode and a second dielectric film.

[Claim 3] The semiconductor integrated circuit according to claim 1 or 2, characterized in that the

input signal is "1" or "0" binary signal, and the circuit block is constructed so that the function type is represented to any of all Boolean functions with respect to the input signal.

[Claim 4] The semiconductor integrated circuit according to claim 1 or 2, characterized in that the input signal is "1" or "0" binary signal, and the circuit block is constructed so that the function type is represented to any of all Boolean functions symmetrical with respect to the input signal.

[Claim 5] The semiconductor integrated circuit according to claim 4, characterized in that the same signal is inputted to  $2^n$  ( $n$  is 0 or positive integer) input terminal of the plurality of input terminals.

[Detailed Description of the Invention]

[0001]

[Industrial Field of Application]

The present invention relates to a semiconductor integrated circuit, and in particular, to a new custom LSI, which can realize various logic functions with almost the same circuit pattern.

[0002]

[Background of the Invention]

In a semiconductor integrated circuit, with the progress of transistor miniaturization, a degree of integration has improved year after year. The degree of integration is improved, and thereby, a function of

logic LSI realized by one chip is greatly enhanced.  
[0003]

As a result, 32-bit and 64-bit microprocessors have been developed. These microprocessors are mounted into various industrial and public equipments so as to carry out an extremely high-precise control. There is a method of programming a general-purpose chip such as microprocessor in accordance with various purposes, and thereby, carrying out a predetermined control. However, this method has a problem that a processing speed becomes slow in general.

[0004]

In view of the above problem, a dedicated LSI chip adaptable to each purpose is developed, and then, is built in each system; namely, a so-called custom LSI has been developed. However, a large number of time and cost is taken to develop a dedicated chip; for this reason, nowadays, it is impossible to sufficiently meet the rapidly proceeding needs.

[0005]

Moreover, in a semiconductor factory for producing chips, in order to produce various types of custom LSI, a great many of LSI pattern original film (called as "reticule") are kept therein. As the need arises, the reticule is set into a wafer stepper (pattern projection transfer machine) so as to produce an LSI. In particular, much time is taken to replace

the reticule with another reticule; for this reason, a problem arises such that production efficiency is remarkably reduced.

[0006]

Therefore, it is desired to develop a technology capable of producing various custom LSIs using the identical reticule as much as possible.

[0007]

There is a gate array proposed in order to meet the need described above. The gate array is constructed in a manner that an NMOS transistor and a PMOS transistor are coupled one by two so as to form the same circuit block, and many circuit blocks thus formed are arranged on a chip. These transistors are properly connected to each other by a conductive wiring pattern such as Al, and thereby, a necessary logic function is realized. Simple circuits such as AND, NAND, OR, NOR is constructed relatively simple; however, in order to realize a high function, a great many of transistors are required, and as a result, a very complicate wiring pattern must be formed. For example, in order to realize a simple three-input exclusive NOR, 38 transistors are required.

[0008]

From the above reasons, the gate array is lack of flexibility for adapting to various logic circuit configurations, and is inferior to a custom LSI in the

light of function and integration. For this reason, the gate array is not so used recently.

[0009]

However, there is nothing except the gate array for application requiring only a slight number of chips by special usage; for this reason, the gate array is still used in a part.

[0010]

However, time is taken to make a design for realizing a required logic function; for this reason, further technological improvement has been desired. There is a PLA (Programmable Logic Array), which is simply designed. The PLA is constructed in a manner that a functional equation expressed by Boolean algebra is realized on a chip as it is in a state that a fuse or the like is cut off. In this case, however, a circuit realized by the PLA is limited to a small scale. Moreover, the PLA has many problems in view of a high-speed operation of circuit and assurance in reliability.

[0011]

[Problems that this invention is to solve]

The present invention has been made in order to solve the above problems. It is, therefore, an object of the present invention to provide a semiconductor integrated circuit, which can simply produce a high-precise custom LSI.

[0012]

[Means for Solving the Problems]

In order to solve the above problem, the present invention provides a semiconductor integrated circuit including: a plurality of input terminals; at least one output terminal; and a logic circuit, which is locally built in and constructed in a manner that a plurality of circuit blocks having the same circuit configuration is arranged, characterized in that the circuit blocks have at least tow-stage inverter composed of a MOS type semiconductor device, and each of the circuit blocks is provided with at least one-layer wiring pattern having different pattern as the need arises, and further, a function type is predetermined so that an output signal of each circuit block becomes a predetermined function of input signal by the wiring pattern.

[0013]

[Operation of the Invention]

According to the present invention, it is possible to configure various logic circuits using common mask except a metal wiring mask, and to greatly improve a performance of custom LSI.

[0014]

[Embodiments of the Invention]

Embodiments of the present invention will be described below with reference to the accompanying drawings.

[0015]

FIG. 1(a) is a circuit diagram showing a semiconductor integrated circuit according to a first embodiment of the present invention.

[0016]

In FIG. 1(a), there are shown six circuit blocks 101a to 101f having the same circuit configuration, and conductive wirings (fine lines) 102 between circuit blocks. The conductive wires 102 are formed by aluminum wiring pattern, which is the final pattern in an LSI manufacture process.  $Y_1$ ,  $Y_2$  and  $Y_3$  individually denote an output terminal of the logic circuit. Each circuit block has the fully same structure except wiring pattern (aluminum wiring pattern in this first embodiment). The structure of each circuit block is shown in FIG. 1(b). In FIG. 1(b), a reference numeral 103 denotes a CMOS inverter, which is composed of an N-channel neuron MOS transistor (vMOS) 103a and a P-channel vMOS (103b). The CMOS inverter is referred to as main inverter. In the main inverter 103, each coupling capacitance between input gates 103-1, 103-2, 103-3, 103-4, 103-5 and a floating gate 103-6 is set as shown by the following relation of  $C_1:C_2:C_3:C_4:C_5 = 2:1:2:1:1$ . Reference numerals 104, 105 and 106 denote the same vMOS inverter, and are referred as A, B and C, respectively.

[0017]



In the inverter A, each coupling capacitance between input gates 104-1, 104-2, 104-3, 104-4, 104-5, 104-6 and a floating gate 104-7 is set as shown by the following relation of  $C_1:C_2:C_3:C_4:C_5:C_6 = 2:1:1:1:1:1$ . In the inverters B and C, each coupling capacitance is set likewise. These inverter A, B and C are referred to as a pre-inverter for supplying a signal to the main inverter 103.

[0018]

A reference numeral 107 denotes a normal CMOS inverter, which inverts an output  $Y'$  of the main inverter 103 so as to output an output signal  $Y$ .

[0019]

The circuit block functions as a circuit, which outputs one signal  $Y$  with respect to two inputs  $X_1$  and  $X_2$ . The signal  $Y$  is obtained from in the following equation (1).

$$Y = f(X_1, X_2) \quad \dots(1)$$

An operation of specific Boolean function is made with respect to 2-bit binary inputs  $X_1$  and  $X_2$ , and then, the operation result is outputted. The Boolean function type is specified by connecting each terminal of input signals  $A_1$  to  $A_4$ ,  $B_1$  to  $B_4$  and  $C_1$  to  $C_4$  of the pre-inverter to  $V_{DD}$  or  $V_{SS}$ . Namely, the function type is determined by only aluminum wiring pattern formed for determining conditions of connecting these input terminals. In fact, in the circuit shown in FIG. 1(b),

16 kinds of Boolean functions are all realized with respect to two inputs  $X_1$  and  $X_2$ .

[0020]

Next, in order to explain an operation of the circuit shown in FIG. 1(b), first, the structure and operating principle of the vMOS transistor will be described below. FIG. 2(a) is a view showing a sectional structure of 4-input N-channel vMOS transistor (N-vMOS). In FIG. 2(a), a reference numeral 201 denotes a P-type silicon substrate, and 202 and 203 denote a source and drain formed of a N<sup>+</sup> diffusion layer, respectively. Further, a reference numeral 204 denotes a gate insulation layer (e.g., SiO<sub>2</sub> film) provided on a channel area 205 between source and drain, and 206 denotes a floating gate electrode, which is electrically insulated and is in a potentially floating state. Furthermore, a reference numeral 207 denotes an insulation layer such as SiO<sub>2</sub>, and each of 208a, 208b, 208c and 208d denotes an input gate electrode. FIG. 2(b) is a view further simplified for analyzing an operation of the vMOS transistor. Assuming that each coupling coefficient of capacitance between each input gate electrode and the floating gate is set as  $C_1$ ,  $C_2$ ,  $C_3$  and  $C_4$ , and a coupling coefficient of capacitance between the floating gate and a silicon substrate is set as  $C_0$ , a voltage (potential)  $\phi_f$  of the floating gate is obtained from the following equation.

$$\phi_F = (1/C_{TOT})(C_1V_1 + C_2V_2 + C_3V_3 + C_4V_4)$$

where,  $C_{TOT} \equiv C_0 + C_1 + C_2 + C_3 + C_4$

In this case,  $V_1$ ,  $V_2$ ,  $V_3$  and  $V_4$  is a voltage applied to each of the input gates 208a, 208b, 208c and 208d, and a d f voltage (potential) of the silicon substrate is 0V, that is, the earth (ground) is made.

[0021]

Now, a voltage of the source 202 is set as 0V. More specifically, a voltage of all electrodes is set to a value measured using a source voltage as a reference voltage. By doing so, the vMOS transistor shown in FIG. 2 is the same as normal N-channel MOS transistor in the case where the floating gate 206 is regarded as a normal gate electrode. When the gate voltage  $\phi_F$  becomes larger than a threshold value ( $V_{TH}^*$ ), an electron channel (N channel) is formed at the area 205 between the source 202 and the drain 203, and thereby, the source and drain are electrically connected. Namely, the vMOS transistor becomes a conductive state (ON state) when the following condition is satisfied.

$$(1/C_{TOT})(C_1V_1 + C_2V_2 + C_3V_3 + C_4V_4) > V_{TH}^*$$

[0022]

The N-channel vMOS transistor has been described above. In FIG. 2(a), there exists a counter conductive type device, which is constructed in a manner that the source 202, the drain 203 and the substrate 201 are all inverted. More specifically, the substrate is a N type,

and the source and drain are vMOS formed of P<sup>+</sup> diffusion layer. This is called as a P-channel MOS transistor (P-vMOS).

[0023]

For example, in the circuit block 101d shown in FIG. 1(a), the input of the pre-inverter is wired as shown in FIG. 1(c) in the block.

[0024]

[Mathematical expression 1]

$$Y = \overline{X_1 \oplus X_2}$$

More specifically, the circuit block function as a circuit for calculating a negation of exclusive logical sum of X<sub>1</sub> and X<sub>2</sub>, that is, EXCLUSIVE NOR.

[0025]

Next, the following is a description on an operation of the circuit shown in FIG. 1(c). Now, a voltage (potential)  $\phi_F$  of the floating gate 104-7 of the inverter A is calculated from the following equation (3).

$$\begin{aligned} \phi_F &= (C_1X_2 + C_2X_1 + C_3A_1 + C_4A_2 + C_5A_3 + C_6A_4)/C_{TOT} \\ &= (V_{DD}/7)(2X_2 + X_1 + A_1 + A_2 + A_3 + A_4) \quad \dots(3) \end{aligned}$$

In this case, for simplification, from the relation of  $C_0 < C_{TOT}$ ,  $C_0$  is disregarded.

[0026]

From the relation of  $A_1 = A_2 = A_3 = V_{DD}$ ,  $V_4 = 0$ , the above equation (3) is as shown in the following equation (4).

$$\phi_F = (V_{DD}/7)(2X_2 + X_1 + 3) \quad \dots(4)$$

When the voltage  $\phi_F$  thus obtained is plotted with respect to a combination of  $(X_1, X_2)$ , it becomes a straight line 108 as shown in FIG. 1(d). In FIG. 1(d), a threshold line 109 is a line showing an inverting voltage of inverter, and the inverting voltage is set to  $(1/2) V_{DD}$  in all inverters. More specifically, the inverter A makes no inversion with respect to an input of  $(X_1, X_2) = (0, 0)$ , and thus, outputs the  $V_{DD}$ . However, the inverter A makes an inversion with respect to inputs  $(0, 1)$ ,  $(1, 0)$  and  $(1, 1)$ , and thus, its output becomes zero "0". Then, the output of the inverter A is inputted to the input gate 103-3 of the main inverter. [0027]

Likewise, the above consideration is made with respect to the inverters B and C, and then, when the voltage  $\phi_F$  of the floating gate 103-6 of the main inverter is plotted with respect to a combination of  $(X_1, X_2)$ , it is as shown in FIG. 1(e). In FIG. 1(e), there is shown an influence by each output of the inverters A, B and C. As seen from FIG. 1(e), the main inverter makes an inversion only when the input is  $(X_1, X_2) = (0, 0)$  and  $(1, 1)$ , and in this case, the relation of  $Y' = 0$  and  $Y = 1$  is formed. Therefore, the above circuit shown in FIG. 1(b) functions as XNOR.

[0028]

Likewise, the circuit shown in FIG. 1(b) can

realize all kinds of Boolean functions by connecting  $A_1$  to  $A_4$  and the like to  $V_{DD}$  or  $V_{SS}$ . For example, in Table 1 shown below, there is shown a connection method for realizing circuits such as AND, OR, NAND, NOR, EXCLUSIVE NOR, EXCLUSIVE OR, INHIBIT or the like.

[0029]

The above "INHIBIT" is a function called as an inhibit gate, and is a circuit, which always outputs "0" when the input is  $X_2 = 0$ , and functions as an inverter with respect to  $X_1$  when the input is  $X_2 = 1$ . FIG. 1(f) shows a change of the voltage  $\phi_F$  of the main inverter for realizing the above circuit.

[0030]

In FIG. 1(g), there is shown an example in which a predetermined line connection is made with respect to each circuit block shown in FIG. 1(a), and is expressed using a logic symbol. Therefore, it is apparent to realize various logic functions only by varying the line connection made in each circuit block.

[0031]

According to the present invention, LSI is temporarily manufactured by way of trial using all the same mask (reticule) until aluminum wiring is made, and then, only aluminum pattern may be used in accordance with a specific function. Thus, it is possible to manufacture a logic circuit in the same manner as gate array. In this case, a single transistor is not

combined like the gate array, but a fundamental circuit as shown in FIG. 1(b) is used. Therefore, the same configuration block can realize various Boolean functions with respect to two inputs  $X_1$  and  $X_2$ , and further, a circuit design can be extremely simple made. Moreover, the wirings for specifying a function to each block may be made in the following manner. More specifically, as shown in FIG. 1(c), in the case where the gate electrodes 104-3, 104-4, 104-5 and 104-6 are made of polysilicon, it may be merely determined how many each contact of these gate electrodes is connected to  $V_{DD}$  and  $V_{SS}$ . Of course, two-layer or more metal wirings may be used. In this case, in particular, a degree of freedom is improved in the wirings 102 between blocks, and further, a logic circuit configuration can be readily made.

[0032]

The circuit shown in FIG. 1(b) has been provided with the normal inverter 107. However, the normal inverter 107 is not necessarily required, and may be omitted. Further, one-stage or more inverter may be additionally provided. By doing so, as the need arises, it is possible to take a large fan-out. Moreover, as shown in FIG. 1(h), some inverters 107', 107'' or the like may be additionally provided so that each output can be fetched. In this case, an output transistor for the inverter 107' and 107'' is made into a large scale,

and thereby, a large fan-out can be obtained, and thus, an output line may be selected as the need arises. In addition, inverting or non-inverting output is arbitrarily selected; therefore, a degree of freedom can be further improved in a logical design.

[0033]

As shown in FIG. 1(i), of course, for example, a flip-flop may be provided as an output stage.

[0034]

In the inverters A, B, C and the like, their output may be inputted to the main inverter via one-stage or more normal inverter.

[0035]

Further, the floating gate is not always floating, but may be properly connected to  $V_{DD}$  and  $V_{SS}$ , or other potential via a switch.

[0036]

Further, of course, the whole of circuit may be operated in synchronous with a clock.

[0037]

Further, four input gates  $A_1$  to  $A_4$  are replaced with two input gates  $A_1'$  and  $A_2'$ , and then, each coupling capacitance  $C_3'$  and  $C_4'$  may be set as follows.

$$C_3' : C_4' = 1:2$$

In this case, the relation of  $C_3' + C_4' = C_3 + C_4 + C_5 + C_6$  is set. By doing so, two contact holes are connected to  $V_{SS}$  or  $V_{DD}$ , and thereby, the same result as above can



be obtained.

[0038]

A second embodiment of the present invention is shown in FIG. 3(a).

[0039]

This second embodiment is different from the above first embodiment in that the input of fundamental circuit is 3-bit input of  $X_1$ ,  $X_2$  and  $X_3$ . For example, in the pre-inverter A, assuming that each coupling capacitance between inputs  $X_1$ ,  $X_2$ ,  $X_3$ ,  $A_1$ ,  $A_2$ ,  $A_3$ ,  $A_4$  and the floating gate is set as  $C_1$ ,  $C_2$ ,  $C_3$ ,  $C_4$ ,  $C_5$ ,  $C_6$  and  $C_7$ , the following relation is formed.  $C_1 = C_2 = C_3 = C_4 = C_5 = C_6 = C_7$

[0040]

The same relation as above is formed in other pre-inverters B and C. In the main inverter, the input gate capacitance is set to 1:1:1:2:1:1 in the order from the uppermost input.

[0041]

Now, as shown in FIG. 3(a),  $A_1$  to  $A_4$ ,  $B_1$  to  $B_4$  and  $C_1$  to  $C_4$  are connected. The relation between  $\phi_F$  of the pre-inverter A and the inputs  $X_1$ ,  $X_2$  and  $X_3$  is shown in FIG. 3(b).

[0042]

Each coupling capacitance of inputs  $X_1$ ,  $X_2$  and  $X_3$  is all the same; therefore, the  $\phi_F$  value is determined by the number of input "1" in these three inputs. More

specifically, the pre-inverter A makes an inversion when there exist two or more input "1", and then, becomes an output "0". Likewise, an output of the pre-inverter B is always "1" ( $V_{DD}$ ); on the other hand, an output of the pre-inverter C is always "0". Therefore, the voltage  $\phi_F$  of the main inverter is as shown in FIG. 3(c), and only when the number of input "1" is one or three, the main inverter makes an inversion, and thus, the output becomes  $Y' = 0$ , that is,  $Y = 0$ . Namely, the following relation is formed.

$$Y = X_1 + X_2 + X_3$$

In other words, Y is exclusive logic sum (EXCLUSIVE OR) of three inputs  $X_1$ ,  $X_2$ ,  $X_3$ .

[0043]

The conventional circuit has required 40 transistors; however, according to the present invention, a circuit is realized by using only 10 transistors. More specifically, in the case where the circuit is realized using the conventional gate array, an extremely complicate circuit is formed; however, according to the present invention, the circuit can be very readily realized. This is a constituent feature of the present invention.

[0044]

The circuit shown in FIG. 3(a) functions as a circuit capable of representing all of 16 functions symmetrical with respect to a three-input signal.

[0045]

As shown in FIG. 3(d), with respect to three inputs  $X_1$ ,  $X_2$  and  $X_3$ , it is possible to make a selection whether or not an input signal should be inputted via the inverter by aluminum pattern. By doing so, the same circuit can represent all symmetrical functions, and besides, 128 functions partially including non-symmetrical functions; therefore, a degree of freedom can be further improved.

[0046]

Moreover, the same circuit as FIG. 3(a) is constructed in a manner that the same signal  $X_1'$  is inputted to  $X_1$  and  $X_2$  as shown in FIG. 3(e). By doing so, it is possible to realize all Boolean functions with respect to two inputs  $X_1'$  and  $X_2'$  same as FIG. 1(b).

[0047]

Namely, the circuit block of FIG. 3(a) is used, and thereby, it is possible to realize a very flexible block, which is adaptable to all symmetrical functions with respect to three inputs and all functions with respect to two inputs.

[0048]

This second embodiment has described the case of three inputs. Of course, a multi-input block may be prepared.

[0049]

For example, there is a circuit capable of

representing all of symmetrical functions 512 with respect to 8 inputs. The circuit is composed of 9-stage pre-inverters and one-stage main inverter. Moreover, like FIG. 3(d), the circuit is constructed in a manner that an input stage selects whether or not the input should be inverted, and thereby, it is possible to represent 131,072 functions by the same circuit block.

[0050]

Moreover, in the same manner as FIG. 3(e), two-input and four-input are combined as one-input, and thereby, it is possible to use the above circuit as a circuit capable of representing all functions with respect to three inputs.

[0051]

Therefore, according to the present invention, it is possible to very readily configure the custom LSI, and thus, to greatly develop a configuration of logic circuit.

[0052]

This embodiment has explained about only configuration of random logic circuit. Of course, in a part of circuit, wiring may be made in a manner that the output is fed back to the input stage so as to have a memory function.

[0053]

Moreover, a RAM pattern may be provided on the same

chip so as to add a memory function, and a general-purpose microprocessor may be integrated on the same chip.

[0054]

No connection is previously made with respect some blocks, and after a function test, these blocks may be replaced as a spare for block incapable of operating due to fault or the like. This is a concept for helping a chip by a REDUNDANCY in a logic circuit, and has been realized so far by only memory. Thus, this is an epoch-making invention capable of realizing REDUNDANCY help by using the logic circuit.

[0055]

The circuit blocks as shown in FIG. 1(b), FIG. 3(a) has no need of the same pattern configuration. A basic circuit configuration may be common in these circuit blocks. As the need arises, an output stage may be provided with a block, which is composed of a large-size transistor.

[0056]

[Table 1]

Circuit function

Connection pattern

Output Y

0 denotes connection to  $V_{ss}$ , + denotes connection to  $V_{DD}$ .

[0057]

[Effects of the Invention]

As is evident from the above description, according to the present invention, it is possible to configure various logic circuits using common mask except a metal wiring mask, and thus, to greatly improve a performance of custom LSI.

[Brief Description of the Drawings]

[FIG. 1]

FIG. 1(a) is a circuit diagram showing a semiconductor integrated circuit according to a first embodiment of the present invention;

FIG. 1(b) is a view showing a structure of block;

FIG. 1(c) is a view showing an input of pre-inverter;

FIG. 1(d) is a chart plotting a voltage  $\phi_F$  with respect to a combination of ( $X_1$ ,  $X_2$ );

FIG. 1(e) is a chart plotting a voltage (potential)  $\phi_F$  of a floating gate 103-6 of a main inverter with respect to a combination of ( $X_1$ ,  $X_2$ );

FIG. 1(f) is a chart plotting a change of the voltage  $\phi_F$  of the main inverter;

FIG. 1(g) is a view showing a predetermined connection line with respect to each block of FIG. 1(a) using a logical symbol;

FIG. 1(h) and FIG. 1(i) are views showing a modification example relative to output;

[FIG. 2]

FIG. 2(a) is a view showing a sectional structure of 4-input N-channel vMOS transistor (N-vMOS);

FIG. 2(b) is a view further simplifying FIG. 2(a) for analyzing an operation of the vMOS transistor; [FIG. 3]

FIG. 3(a) is a view showing a second embodiment of the present invention;

FIG. 3(b) is a chart showing a relation between  $\phi_F$  of pre-inverter A and  $X_1$ ,  $X_2$ ,  $X_3$ ;

FIG. 3(c) is a chart showing a change of the voltage  $\phi_F$  of the main inverter;

FIG. 3(d) and FIG. 3(e) are views showing an example of an input to circuit.

[Description of reference numerals]s

101a to 101f: circuit block

102: wirings between blocks

103a: N-channel neuron MOS transistor (vMOS);

103b: P-channel vMOS

103: CMOS inverter

103-1 to 103-5: input gate

103-6: floating gate (each coupling capacitance between each input gate and floating gate is

$C_1:C_2:C_3:C_4:C_5 = 2:1:2:1:1$

104, 105, 106: vMOS inverter

104-1 to 104-6: 6-input gate

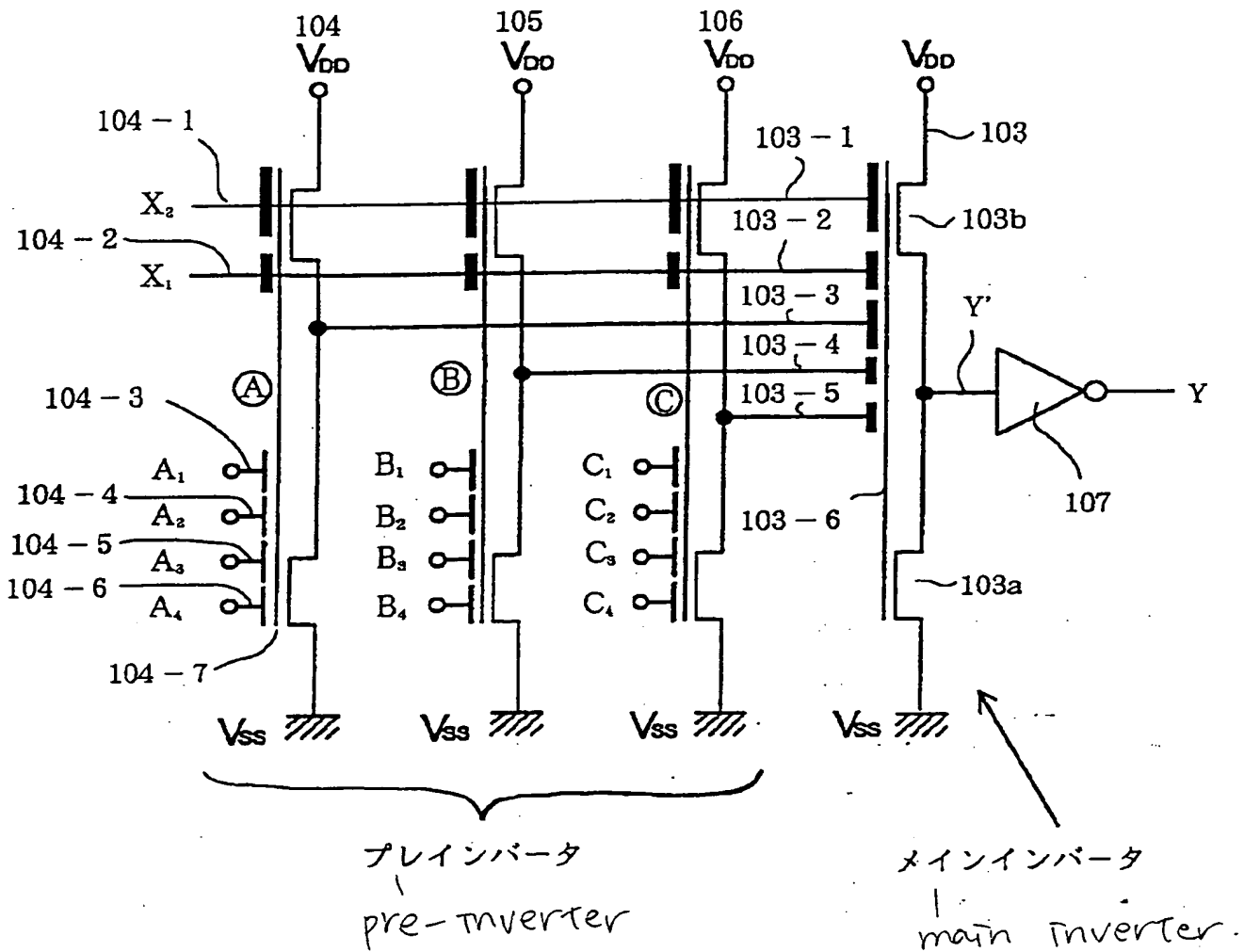
104-7: floating gate

107: CMOS inverter

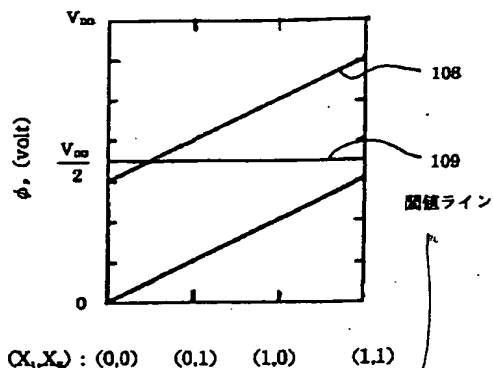
201: P type silicon substrate  
202, 203: source and drain formed of N<sup>+</sup> diffusion layer  
204: gate insulating film (e.g., SiO<sub>2</sub> film)  
205: channel area between source and drain  
206: a floating gate electrode, which is electrically insulated and is in a potentially floating state  
207: insulating film such as SiO or the like



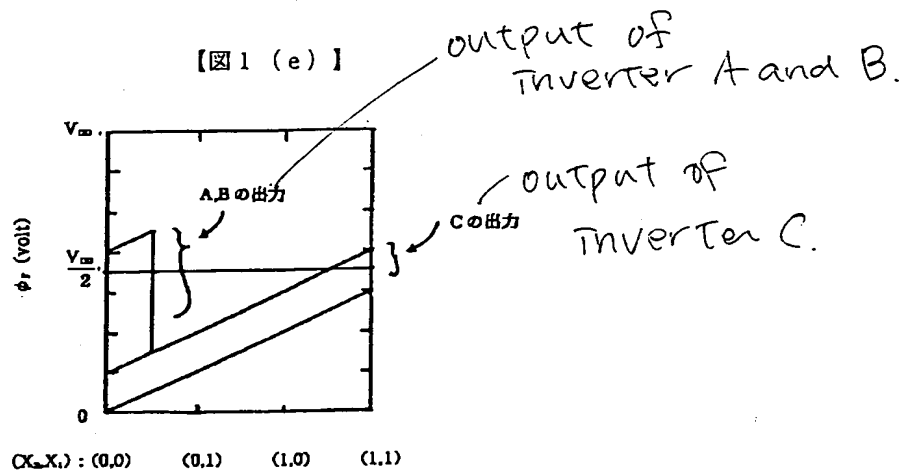
【図1 (b)】



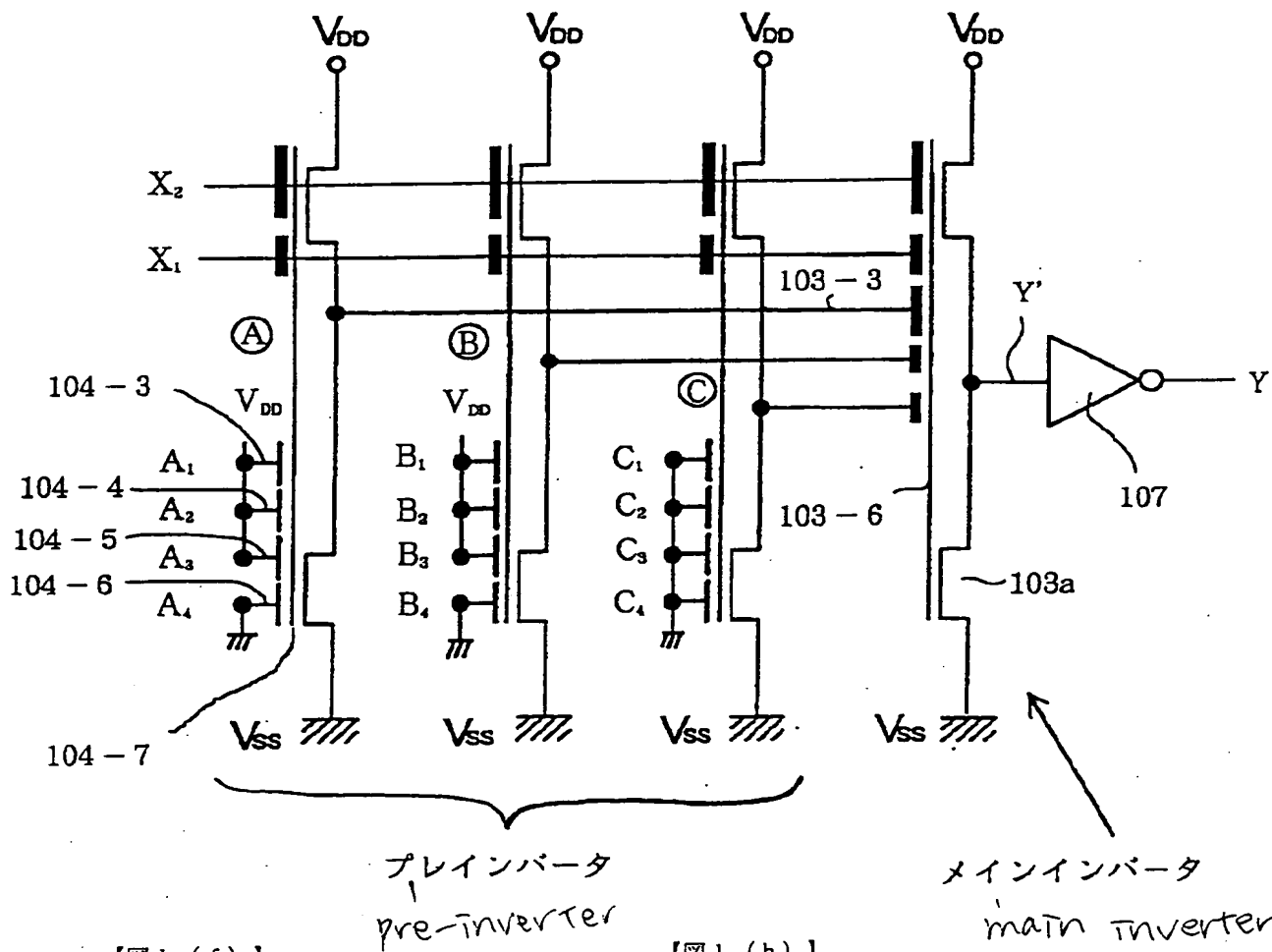
【図1 (d)】



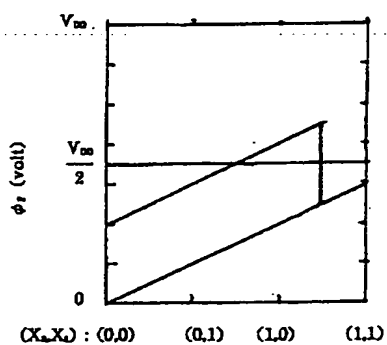
【図1 (e)】



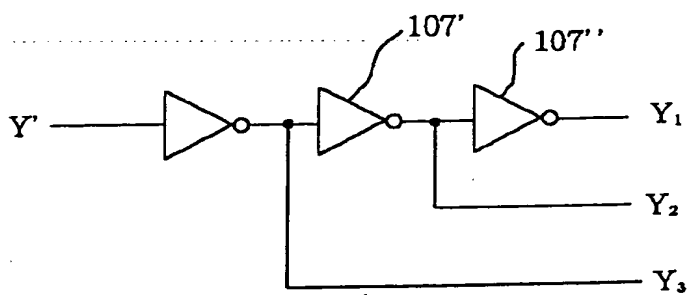
【図1(c)】



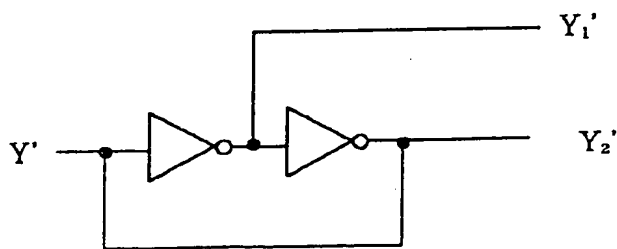
【図1(f)】



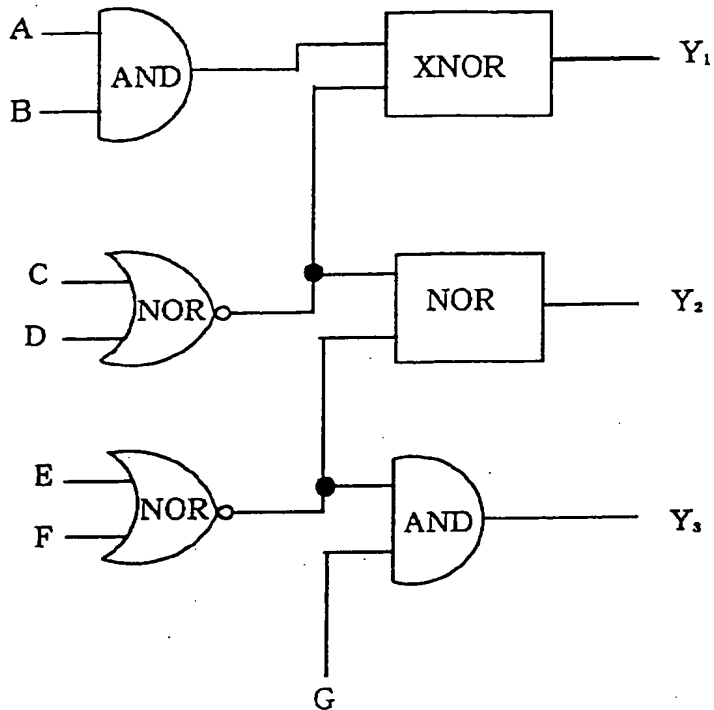
【図1(h)】



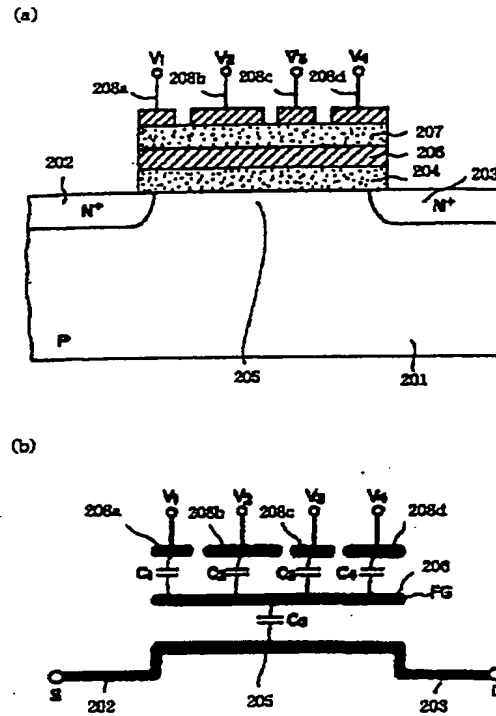
【図1(i)】



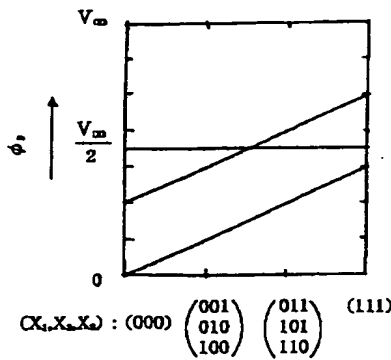
【図1 (g)】



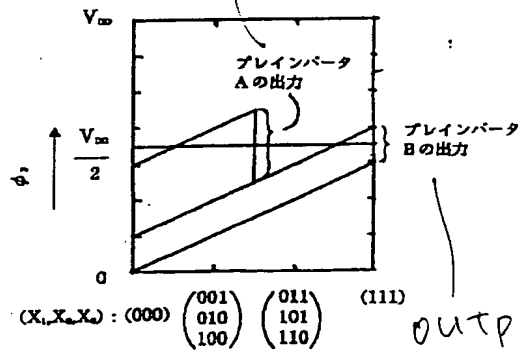
【図2】



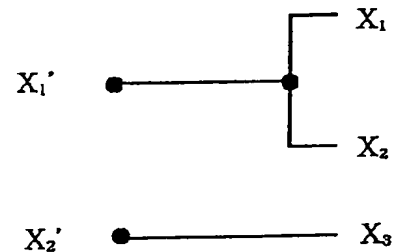
【図3 (b)】



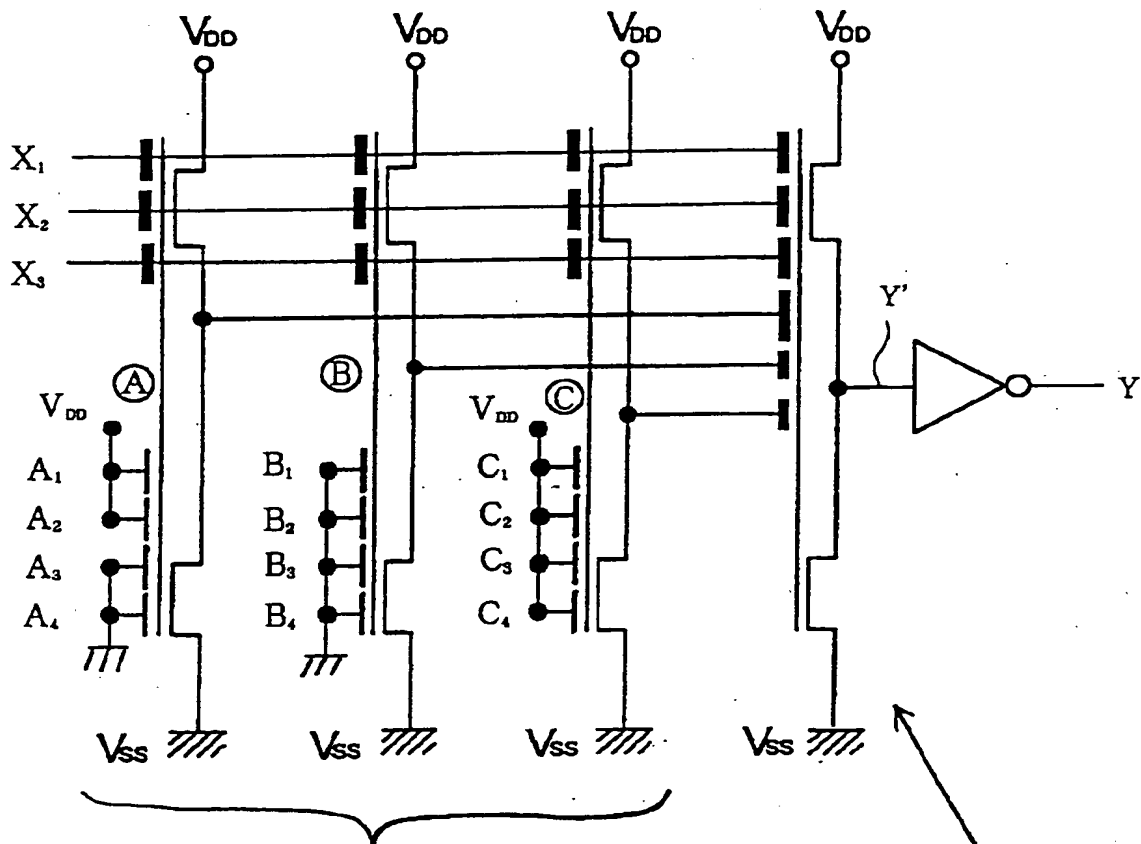
【図3 (c)】



【図3 (e)】



【図3(a)】



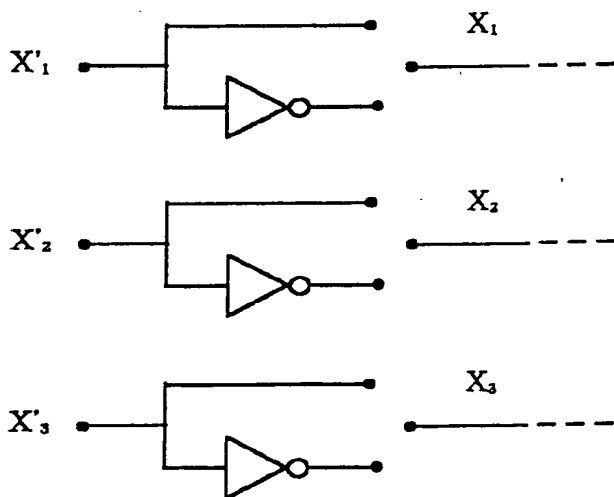
プレインバータ

pre-inverter

【図3(d)】

メインインバータ

main inverter.



(19) 日本国特許庁(JP)

## (12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平 6 - 7 7 4 2 7

(43) 公開日 平成6年(1994)3月18日

(51) Int. Cl. <sup>5</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 27/10	4 5 1	8728 - 4 M		
27/118				
27/04	A	8427 - 4 M		
H 0 3 K 19/173	1 0 1	9383 - 5 J		
		8225 - 4 M	H 0 1 L 21/82	M
	審査請求	未請求	請求項の数 5	(全 1 1 頁)

(21) 出願番号 特願平 4 - 2 5 0 7 3 3

(22) 出願日 平成4年(1992)8月26日

(71) 出願人 591022117

柴田 直

宮城県仙台市太白区日本平5番2号

(71) 出願人 000205041

大見 忠弘

宮城県仙台市青葉区米ヶ袋2-1-17-301

(72) 発明者 柴田 直

宮城県仙台市太白区日本平5番2号

(72) 発明者 大見 忠弘

宮城県仙台市青葉区米ヶ袋2の1の17の301

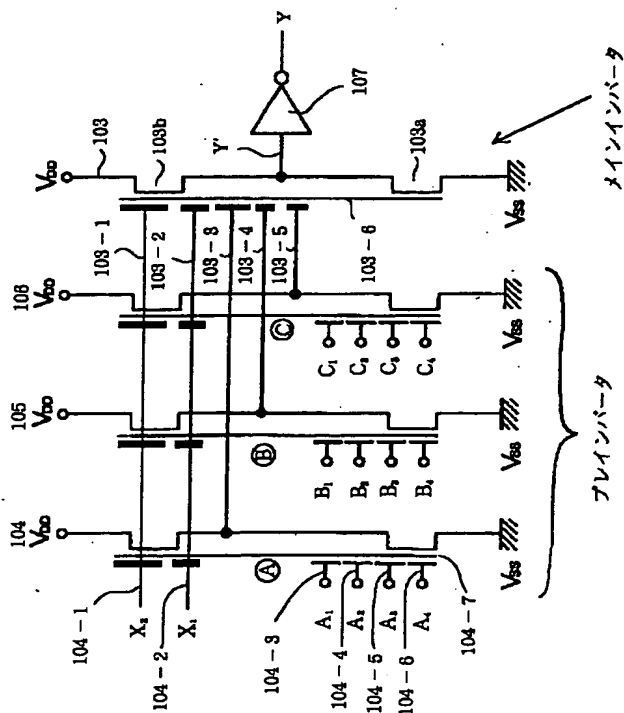
(74) 代理人 弁理士 福森 久夫

(54) 【発明の名称】 半導体集積回路

(57) 【要約】 (修正有)

【目的】 本発明は、金属配線のマスク以外はすべて共通のマスクで、あらゆる論理回路を構成することが可能であり、カスタム L S I の性能を飛躍的に向上させることができる半導体集積回路を提供することを目的とする。

【構成】 複数の入力端子と、少なくとも一つの出力端子とを有し、かつ、同一の回路構成をもった回路ブロックを複数個配置して構成された論理回路を少なくとも一部に含む半導体集積回路において、前記回路ブロックが、MOS 型半導体装置により構成された少なくとも2段のインバータを有するとともに、各ブロック毎にはそれぞれ必要に応じて異なったパターンを有する少なくとも一層の配線パターンが設けられ、前記配線パターンにより前記各ブロックの出力信号が入力信号の所定の関数となるように、その関数形が規定されていることを特徴とする。



## 【特許請求の範囲】

【請求項1】 複数の入力端子と、少なくとも一つの出力端子とを有し、かつ、同一の回路構成をもった回路ブロックを複数個配置して構成された論理回路を少なくとも一部に含む半導体集積回路において、前記回路ブロックが、MOS型半導体装置により構成された少なくとも2段のインバータを有するとともに、各ブロック毎にはそれぞれ必要に応じて異なったパターンを有する少なくとも一層の配線パターンが設けられ、前記配線パターンにより前記各ブロックの出力信号が入力信号の所定の関数となるように、その関数形が規定されていることを特徴とする半導体集積回路。

【請求項2】 基板上に一導電型の半導体領域を有し、この領域内に設けられた反対導電型のソース及びドレイン領域を有し、前記ソース及びドレイン領域を隔てる領域に第1の絶縁膜を介して設けられた電位的にフローティング状態にあるフローティングゲート電極を有し、前記フローティングゲート電極と第2の絶縁膜を介して容量結合する複数の制御ゲート電極を有するニューロンMOSトランジスタを前記MOS型半導体装置として用いたことを特徴とする請求項1記載の半導体集積回路。

【請求項3】 前記入力信号が1または0のバイナリ信号であり、前記関数形が前記入力信号に対するすべての可能なブール関数のいずれの関数形でも表現できるよう前記回路ブロックが構成されていることを特徴とする請求項1または2に記載の半導体集積回路。

【請求項4】 前記入力信号が1または0のバイナリ信号であり、前記関数形が、前記入力信号に対し対称なすべての可能なブール関数のいずれの関数形でも表現できるよう前記回路ブロックが構成されていることを特徴とする請求項1または2記載の半導体集積回路。

【請求項5】 前記複数の入力端子のうち、 $2^n$  ( $n$ は0または正の整数)個の入力端子に同一の信号が入力されるよう構成されたことを特徴とする請求項4記載の半導体集積回路。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は、半導体集積回路に係り、特に、ほとんど同一の回路パターンで様々な論理機能を実現できる新しいカスタムLSIを提供するものである。

## 【0002】

【発明の背景】 半導体集積回路は、トランジスタの微細化の進展とともに年々集積度が向上している。集積度の向上とともに1チップで実現できる論理LSIの機能が飛躍的に大きくなっている。

【0003】 その結果、32ビットや64ビットのマイクロプロセッサが開発され、様々な産業機器や民生機器に搭載され非常に高度な制御が行われている。しかしながら、マイクロプロセッサのような汎用のチップをそれ

ぞれの目的に応じてプログラムすることにより、所定の制御を行う方法は、一般に処理速度が遅くなるという欠点をもつ。

【0004】 そこで、それぞれの応用目的に合致した専用のLSIチップを開発し、各システムに組み込むいわゆるカスタムLSIが重要となるが、専用チップの開発には多大の時間と費用がかかり、急速に進展する世の中のニーズには十分には応じられていないのが現状である。

【0005】 さらに、チップを生産する半導体工場では、多種多様のカスタムLSI生産のために数多くのLSIパターンの原版(レチクルと呼ぶ)を保管し、必要に応じてステッパー(パターンの投影転写装置)にセットしてLSIの生産を行うことが要求され、特にこのレチクルの交換に時間を要するために生産の効率が著しく低下する等の問題が生じている。

【0006】 従って、できるだけ同一のレチクルを用いて様々なカスタムLSIを生産できる技術の開発が待望されている。

【0007】 このようなニーズに応じるものとして、ゲートアレーがある。ゲートアレーは、NMOSとPMOSTランジスタを各2ケづつ1組にした同一の回路ブロックを多数チップ上に配置することにより構成されている。そして、このトランジスタを例えば、AI等の導電性の配線パターンによって適直接続することにより、必要な論理関数を実現するものである。AND, NAND, OR, NORといった単純な回路は比較的簡単に構成できるが、少し高度な機能を実現しようと思うならば数多くのトランジスタが必要となり、非常に複雑な配線パターンの形成が要求される。例えば、簡単な3入力のExclusive NORを実現するだけで、38個ものトランジスタが必要となる。

【0008】 以上の理由から、様々な論理回路構成に対応するには、柔軟性に欠け、また、機能の集積の点からもカスタムLSIに劣るため、最近ではあまり用いられなくなっている。

【0009】 しかし、特殊な用途で、小数のチップしか必要としない応用にはゲートアレー以外に対応できるものがないため、まだ一部では用いられている。

【0010】 しかし、必要な論理機能を実現するための設計に時間がかかり、さらなる技術改善が待たれているところである。簡単に設計が行えるものには、PLA(Programmable Logic Array)といってブール代数で表現された関数式をそのままヒューズ等を切断してチップ上に実現できるものもあるが、これで実現できるのは、小規模なものに限られている。また、回路の高速動作や信頼性保証の面でも多くの問題を有している。

## 【0011】

【発明が解決しようとする課題】 そこで、本発明は、以上の問題点を解決するためになされたものであり、非常

に高度なカスタムLSIを簡単に提供できる半導体集積回路を提供することを目的とする。

#### 【0012】

【課題を解決するための手段】本発明の半導体集積回路は、複数の入力端子と、少なくとも一つの出力端子とを有し、かつ、同一の回路構成をもった回路ブロックを複数個配置して構成された論理回路を少なくとも一部に含む半導体集積回路において、前記回路ブロックが、MOS型半導体装置により構成された少なくとも2段のインバータを有するとともに、各ブロック毎にはそれぞれ必要に応じて異なったパターンを有する少なくとも一層の配線パターンが設けられ、前記配線パターンにより前記各ブロックの出力信号が入力信号の所定の関数となるように、その関数形が規定されていることを特徴とする。

#### 【0013】

【作用】本発明によれば、金属配線のマスク以外はすべて共通のマスクで、あらゆる論理回路を構成することが可能であり、カスタムLSIの性能を飛躍的に向上させることができるものである。

#### 【0014】

【実施例】以下実施例を図面を用いて説明する。

【0015】図1(a)は本発明の第1の実施例を示す回路図である。

【0016】同一の回路構成をもつ6つの回路ブロック101a~101fが例として示されており、ブロック間の配線102も描かれている。配線102は、例えば、LSIの製造工程では最後のパターンであるアルミニウム配線のパターンで形成されている。Y<sub>1</sub>、Y<sub>2</sub>、Y<sub>3</sub>はこの論理回路の出力端子である。各ブロックは、すべて配線パターン（本例ではアルミニウムの配線パターン）を除いて全く同様の構造を有しており、ブロックの構造は例えば、図1(b)に示されている。図において、103はNチャネルニューロンMOSトランジスタ(νMOS)103a、とPチャネルνMOS(103b)とで構成されたCMOSインバータで、メインインバータと呼ぶ。その入力ゲート103-1、103-2、103-3、103-4、103-5とフローティングゲート103-6との間の結合容量は、それぞれC<sub>1</sub>:C<sub>2</sub>:C<sub>3</sub>:C<sub>4</sub>:C<sub>5</sub>=2:1:2:1:1となっている。104、105、106は同様のνMOSインバ 40

ータでそれぞれインバータA、B、C、と呼ぶ。  

$$\phi_F = (1/C_{TOT}) (C_1 V_1 + C_2 V_2 + C_3 V_3 + C_4 V_4)$$
 但し、 $C_{TOT} \equiv C_0 + C_1 + C_2 + C_3 + C_4$   
 V<sub>1</sub>、V<sub>2</sub>、V<sub>3</sub>、V<sub>4</sub>はそれぞれ入力ゲート208a、208b、208c、208dに印加されている電圧であり、シリコン基板の電位は0V、すなわちアースされているとした。

【0021】今、ソース202の電位を0Vとする。即ちすべての電極の電位をソース基準として測定した値と※

$$(1/C_{TOT}) (C_1 V_1 + C_2 V_2 + C_3 V_3 + C_4 V_4) > V_{TH}^*$$

\*【0017】インバータAでは入力ゲート104-1、104-2、104-3、104-4、104-5、104-6とフローティングゲート104-7の間の結合容量は、それぞれC<sub>1</sub>:C<sub>2</sub>:C<sub>3</sub>:C<sub>4</sub>:C<sub>5</sub>:C<sub>6</sub>=2:1:1:1:1:1となっており、これはインバータB、Cについても全く同様である。インバータA、B、Cをメインインバータ103に信号を与えるものとして、ブレインバータと呼ぶ。

【0018】107は通常のCMOSインバータであり、メインインバータ103の出力Y'を反転して出力信号Yを出している。

【0019】この回路ブロックは、2つの入力X<sub>1</sub>、X<sub>2</sub>に対し、1つの信号Yを出力する回路となっている。Yは、

$$Y = f(X_1, X_2) \quad (1)$$

として、2ビットのバイナリ入力X<sub>1</sub>、X<sub>2</sub>に対し特定のブール関数の演算を行った結果が出力される。ブール関数の形は、ブレインバータの入力信号A<sub>1</sub>~A<sub>4</sub>、B<sub>1</sub>~B<sub>4</sub>、C<sub>1</sub>~C<sub>4</sub>の各端子をV<sub>DD</sub>あるいはV<sub>SS</sub>につなぐことにより指定できる。つまり、これらの入力端子の接続状況を決めるアルミニウムの配線パターンのみで関数形が決められるのである。実際、図1(b)の回路では、2入力の信号X<sub>1</sub>、X<sub>2</sub>に対する16種類すべてのブール関数が実現できる。

【0020】図1(b)の回路の動作を説明するために、まず最初にνMOSの構造と動作原理について説明する。図2(a)は4入力のNチャネルνMOSTランジスタ(N-νMOS)の断面構造の一例を示したものであり、201は例えばP型のシリコン基板、202、203はN<sup>+</sup>拡散層で形成されたソース及びドレイン、204はソース・ドレイン間のチャネル領域205上に設けられたゲート絶縁膜(例えばSiO<sub>2</sub>膜)206は電気的に絶縁され電位的にフローティングの状態にあるフローティングゲート電極、207は例えばSiO<sub>2</sub>等の絶縁膜、208a、208b、208c、208dは入力ゲートで電極である。図2(b)はνMOS動作を解析するためにさらに簡略化した図面である。各入力ゲート電極とフローティングゲート間の容量結合係数を図の様にC<sub>1</sub>、C<sub>2</sub>、C<sub>3</sub>、C<sub>4</sub>、フローティングゲートとシリコン基板間の容量結合係数をC<sub>0</sub>。とすると、フローティングゲートの電位φ<sub>F</sub>は次式で与えられる。

※する。そうすれば、図2に示したνMOSは、フローティングゲート206を通常のゲート電極とみなせば通常のNチャネルMOSTランジスタと同じであり、そのゲート電位φ<sub>F</sub>が閾値(V<sub>TH</sub><sup>\*</sup>)より大となるとソース202、ドレイン203間の領域205に電子のチャネル(Nチャネル)が形成され、ソース・ドレイン間が電気的に接続される。即ち、

の条件が満たされたとき、 $\mu$ MOSは導通(ON)するのである。

【0022】以上はNチャネル $\mu$ MOSトランジスタについての説明であるが、図2(a)においてソース202、ドレイン203及び基板201をすべて反対導電型にしたデバイスも存在する。即ち、基板はN型であり、ソース・ドレインがP<sup>+</sup>拡散層で形成された $\mu$ MOSであり、これをPチャネルMOSトランジスタ(P- $\mu$ MOS)と呼ぶ。

【0023】図1(a)において、例えば、ブロック101dにおいては、ブロック内においてブレインバータ

$$\begin{aligned}\phi_F &= (C_1X_2 + C_2X_1 + C_3A_1 + C_4A_2 + C_5A_3 + C_6A_4) / C_{TOT} \\ &= (V_{DD}/7) (2X_2 + X_1 + A_1 + A_2 + A_3 + A_4) \quad (3)\end{aligned}$$

となる。ただし、簡単のため $C_0$  ( $C_{TOT}$ として $C_0$ は無視した)。

【0026】 $A_1 = A_2 = A_3 = V_{DD}$ ,  $V_4 = 0$ だから、(3)式は、

$$\phi_F = (V_{DD}/7) (2X_2 + X_1 + 3) \quad (4)$$

となり、 $\phi_F$ を( $X_1$ ,  $X_2$ )の組み合わせに対してプロットすると図1(d)の直線の108の如くなる。図において閾値ライン109はインバータの反転電圧を示す線であり、すべてのインバータに対し(1/2) $V_{DD}$ に設定してある。つまり、インバータAは、( $X_1$ ,  $X_2$ ) = (0, 0)の入力に対しては反転せず、 $V_{DD}$ を出力するが、(0, 1), (1, 0), (1, 1)の入力に対しては反転して出力が0となる。そして、この出力は、メインインバータの入力ゲート103-3に入力されている。

【0027】同様の考察をインバータB, Cについても行い、メインインバータのフローティングゲート103-6の電位 $\phi_F$ を( $X_1$ ,  $X_2$ )の組み合わせに対して示したのが、図1(e)であり、図にはインバータA, B, Cの出力の影響が明示されている。この図より、メインインバータが反転するのは( $X_1$ ,  $X_2$ ) = (0, 0)と(1, 1)のときのみであり、このとき $Y' = 0$ ,  $Y = 1$ となる。すなわち、同回路はXNORとなっているのである。

【0028】同様に、図1(b)の回路は、 $A_1 \sim A_4$ 等を $V_{DD}$ もしくは $V_{SS}$ に接続することにより、あらゆるブール関数を実現することができる。例えば、AND, OR, NAND, NOR, EXCLUSIVE NOR, EXCLUSIVE OR, INHIBIT等の回路を実現するための接続のやり方を表1に示す。

【0029】INHIBITとは、禁止ゲートと呼ばれる関数であり、 $X_2 = 0$ では出力は常に0となり、 $X_2 = 1$ ならば $X_1$ に対しインバータとして働く回路である。この回路を実現するためのメインインバータの $\phi_F$ の変化を示したのが図1(f)である。

の入力が図1(c)に示されるように配線されており、【0024】

【数1】

$$Y = \overline{X_1 \oplus X_2}$$

すなわち、 $X_1$ ,  $X_2$ の排他的論理和の否定(EXCLUSIVE NOR)を計算する回路となっている。

【0025】次に、図1(c)の回路の動作について説明する。今、ブレインバータAのフローティングゲート104-7の電位 $\phi_F$ を計算すると、

【0030】図1(a)の各ブロックについて所定の結線を行った一例を論理記号で示したのが図1(g)である。各ブロック内の結線を変えるだけでいかなる論理関数も表現できることは明かである。

【0031】本発明によれば、LSIはA1配線を行うまでは、全て同じマスク(レチクル)を用いて試作しておき、A1パターンのみを特定の機能に対応したものを  
20 用いればよいので、丁度ゲートアレーと同様に論理回路が製作できる。しかしながら、ゲートアレーのように単体のトランジスタを組み合わせるのではなく、図1

(b)の基本回路を用いているため、同一の構成ブロックで、2入力 $X_1$ ,  $X_2$ に対するあらゆるブール関数を実現することができ、回路設計も極めて簡単になる。また、それぞれのブロックに機能を指定する配線も、図1(c)に示した如く例えばゲート電極104-3, 104-4, 104-5, 104-6がポリシリコンででき  
30 ているとすると、その各々のコンタクトをいくつ $V_{DD}$ と $V_{SS}$ につなぐかを定めるだけでよく、非常に単純な一層のA1配線で実現できる。もちろん、2層以上の金属配線を用いてもよいことは言うまでもない。この場合は、特に、ブロック間の配線102の自由度が増え、さらに論理回路の構成がやりやすくなる。

【0032】なお、図1(b)の回路では、通常のインバータ107を設けているが、これは必ずしも必要ではなく、省略してもよい。あるいはさらに、一段以上を追加してもよい。こうすれば、必要に応じてファンアウトを大きく取ることができる。あるいは図1(h)に示すように何段かのインバータ107', 107''等をそれぞれ追加して、各々の出力を取り出せるようにしてもよい。このとき、107', 107''の出力トランジスタを大きくしておけば大きなファンアウトが得られ、必要に応じて出力線を選べばよい。また、正転あるいは反転出力を任意に選ぶこともできて、論理設計の自由度がさらに増大する。

【0033】また、出力段に例えば、図1(i)に示すようにフリップフロップをつけてもよいことはいうまで



もない。

【0034】インバータA、B、C等に関しても、さらに一段以上の通常のインバータを介してからメインインバータに入力してやってもよい。

【0035】また、フローティングゲートは常にフローティングである必要はなく、スイッチを介して適宜 $V_{DD}$ または $V_{SS}$ 、あるいはその他の電位に接続してもよい。

【0036】また、回路全体をクロックと同期して動作させてもよいことはいうまでもない。

【0037】また、 $A_1 \sim A_4$ の4個の入力ゲートは2個の入力ゲート $A_1'$ 、 $A_2'$ に置き換え、それぞれの結合容量 $C_3'$ 、 $C_4'$ を、 $C_3' : C_4' = 1 : 2$

と選んでもよい。ただし、このときは $C_3' + C_4' = C_3 + C_4 + C_5 + C_6$ としておく。そうすれば、2つのコンタクトホールを $V_{SS}$ または $V_{DD}$ につなぐことにより同様の結果を得ることができる。

【0038】本発明の第2の実施例を図3(a)に示す。

【0039】第1の実施例と異なるのは、基本ブロックの入力が $X_1$ 、 $X_2$ 、 $X_3$ の3ビット入力となっている点である。例えば、ブレインバータAについて入力 $X_1$ 、 $X_2$ 、 $X_3$ 、 $A_1$ 、 $A_2$ 、 $A_3$ 、 $A_4$ とフローティングゲートのあいだの結合容量を $C_1$ 、 $C_2$ 、 $C_3$ 、 $C_4$ 、 $C_5$ 、 $C_6$ 、 $C_7$ とすると $C_1 = C_2 = C_3 = C_4 = C_5 = C_6 = C_7$ となっている。

【0040】これは、その他のブレインバータB、Cについても同様である。メインインバータについては、入力ゲート容量は上から順に1:1:1:2:1:1となっている。

【0041】さて、図3(a)にしめしたように $A_1 \sim A_4$ 、 $B_1 \sim B_4$ 、 $C_1 \sim C_4$ が接続されているとする。ブレインバータAの $\phi_F$ と $X_1$ 、 $X_2$ 、 $X_3$ の関係を図3(b)に示す。

【0042】 $X_1$ 、 $X_2$ 、 $X_3$ の結合容量は全て同じだから、 $\phi_F$ の値はこの3つうち、1の入力がいくらかあるだけで決まることになる。すなわち、ブレインバータAは、1の数が2以上になったとき反転して出力が0となる。同様の考察をすると、ブレインバータBの出力は常に1( $V_{DD}$ )、ブレインバータCの出力は常に0であ

る。従って、メインインバータの $\phi_F$ は図3(c)のようになり、入力中の1の数が1個もしくは3個のときのみインバータが反転し、 $Y' = 0$ 、すなわち、 $Y = 0$ となる。つまり、 $Y = X_1 + X_2 + X_3$

すなわち、 $Y$ は $X_1$ 、 $X_2$ 、 $X_3$ の3入力の排他的論理和(EXCLUSIVEOR)となっている。

【0043】従来の回路では、40個のトランジスタが必要だったが、10個で実現されている。つまり、従来のゲートアレーで実現すれば極めて複雑な回路となるも

のが、非常に簡単に実現されているのである。これは本発明の大きな利点である。

【0044】図3(a)の回路は3入力の信号に対し、対称な全ての関数16を表現できる回路となっている。

【0045】また、図3(d)に示したように、 $X_1'$ 、 $X_2'$ 、 $X_3'$ の3入力に対し、入力信号をインバータを通して入力するか否かをやはりアルミニウムのパターンで選択できるようにしてやると、同じ回路で対称な関数が全ての他に、一部非対称な関数も含め、128関数が表現できる回路となり、更に自由度が増える。

【0046】また、図3(a)と同じ回路の入力を例えば、図3(e)のように $X_1$ 、 $X_2$ には同じ信号 $X_1'$ を入力してやると、これは図1(b)と同じ2入力 $X_1'$ 、 $X_2'$ に関する全てのブール関数を実現できることになる。

【0047】すなわち、図3(a)のブロックを用いれば、3入力の全ての対称関数及び2入力のすべての関数に対応できる極めてフレキシブルなブロックとなる。

【0048】以上の実施例は、3入力の場合であるが、もっと多入力のブロックを用意してもよいことはいうまでもない。

【0049】例えば、8入力の対称関数512個全てを表現できる回路は、ブレインバータ9段とメインインバータ1段の同様の回路で構成できる。この回路は、図3(d)と同様に、入力段に入力の反転かどうかを選べるようにしてやれば、おなじブロックで131,072個の関数が表現できる。

【0050】また、図3(e)と同様に、2入力と4入力を束ねて、それぞれ1入力としてやれば、3入力の全ての関数を表現できる回路としても使える。

【0051】本発明により、カスタムLSIが非常に簡単に構成することが可能となり、論理回路の構成を飛躍的に発展させることができた。

【0052】本実施例では、ランダムロジック回路の構成のみを述べたが、回路の一部において、出力を入力段にフィードバックし、メモリ機能を持たせるような配線を形成してもよいことは言うまでもない。

【0053】また、RAMのパターンを同じチップ上に設けてメモリ機能を追加してもよいし、汎用のマイクロプロセッサを同一チップ上に集積してもよい。

【0054】いくつかのブロックを未配線としておき、機能テストの後、欠陥等で働かないブロックのスペアとして置き代えてもよい。これは論理回路におけるREDUNDANCYによるチップ救済の概念であり、これまでメモリでしか実現できなかったものである。REDUNDANCY救済が論理回路でも実現した画期的な発明である。

【0055】また、図1(b)、図3(a)等の回路ブロックは、全てが全く同じパターンで構成されている必要はない。基本的な回路構成が共通しておればよいこと

はいうまでもない。必要に応じ出力段にはサイズの大きなトランジスタで構成されたブロックを配置するなどしてもよい。

\*【0056】

【表1】

\*

(表1)

回路の機能	接続パターン												出力Y			
	A <sub>1</sub>	A <sub>2</sub>	A <sub>3</sub>	A <sub>4</sub>	B <sub>1</sub>	B <sub>2</sub>	B <sub>3</sub>	B <sub>4</sub>	C <sub>1</sub>	C <sub>2</sub>	C <sub>3</sub>	C <sub>4</sub>	(X <sub>1</sub> ,X <sub>2</sub> ) : (0,0)	(0,1)	(1,0)	(1,1)
AND	+	+	+	+	+	+	+	+	0	0	0	0	0	0	0	1
OR	0	0	0	0	0	0	0	0	+	+	+	+	0	1	1	1
NAND	0	0	0	+	0	0	0	+	0	0	0	+	1	1	1	0
NOR	0	+	+	+	0	+	+	+	0	+	+	+	1	0	0	0
EXCLUSIVE NOR	0	+	+	+	0	+	+	+	0	0	0	0	1	0	0	1
EXCLUSIVE NOR	0	0	0	+	0	0	0	+	+	+	+	+	0	1	1	0
INHIBIT	0	+	+	+	+	+	+	+	+	+	+	+	0	0	1	0

0はV<sub>ss</sub>、+はV<sub>DD</sub>への接続を示す。

0はV<sub>ss</sub>、+はV<sub>DD</sub>への接続を示す。

【0057】

【発明の効果】本発明によれば、金属配線のマスク以外はすべて共通のマスクで、あらゆる論理回路を構成することが可能であり、カスタムLSIの性能を飛躍的に向上させることができる。

【図面の簡単な説明】

【図1】図1(a)は本発明の第1の実施例を示す回路図である。図1(b)はブロックの構造を示す図であ

る。図1(c)はブレインバータの入力を示す図である。図1(c)、図1(d)は $\phi_F$ を(X<sub>1</sub>, X<sub>2</sub>)の組み合わせに対してプロットした図である。図1(e)はメインインバータのフローティングゲート103-6の電位 $\phi_F$ を(X<sub>1</sub>, X<sub>2</sub>)の組み合わせに対して示した図である。図1(f)はメインインバータの $\phi_F$ の変化を示した図である。図1(g)は図1(a)の各ブロックについて所定の結線を行った一例を論理記号で示した図

である。図1 (h) 及び図1 (i) は出力に関する変形例を示す図である。

【図2】図2 (a) は4入力のNチャネル $\nu$ MOSトランジスタ (N- $\nu$ MOS) の断面構造の一例を示した図である。図2 (b) は $\nu$ MOS動作を解析するために図2 (a) をさらに簡略化した図である。

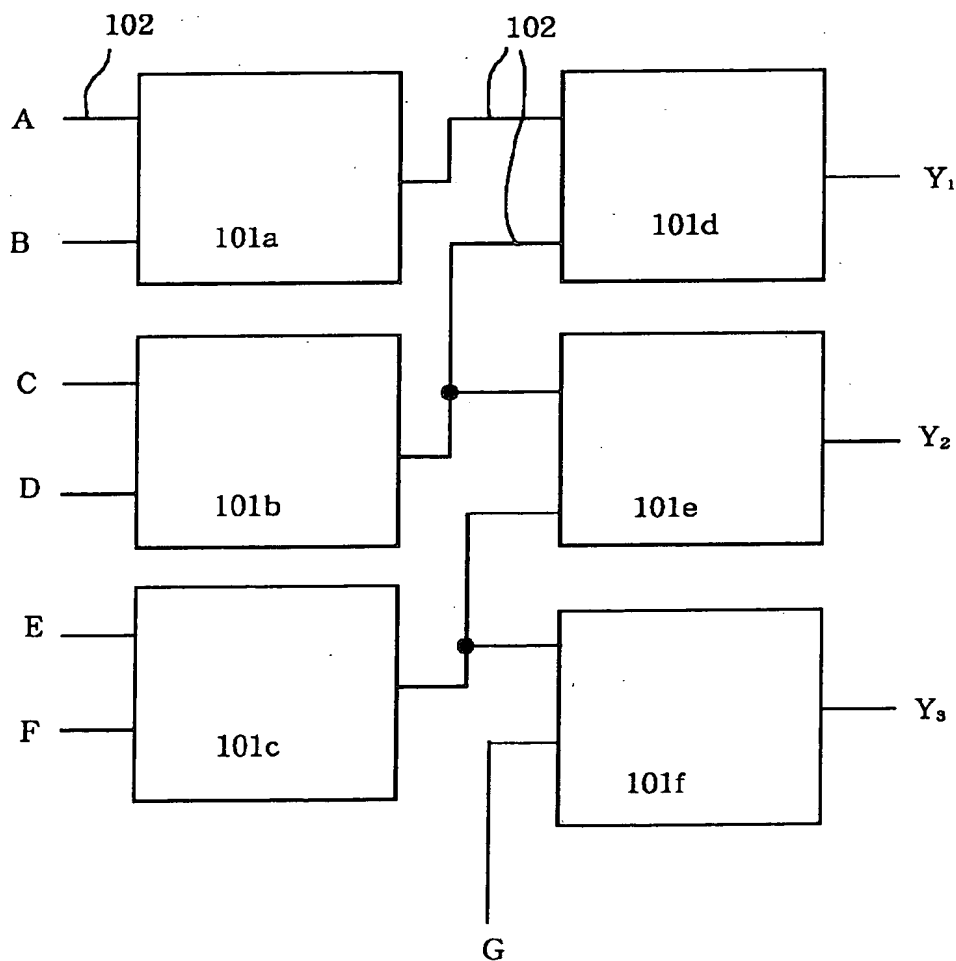
【図3】図3 (a) は本発明の第2の実施例を示す図である。図3 (b) はブレインバータAの $\phi_F$ と $X_1$ ,  $X_2$ ,  $X_3$ の関係を示す図である。図3 (c) はメインインバータの $\phi_F$ の変化を示した図である。図3 (d) 及び図3 (e) は回路の入力例を示す図である。

#### 【符号の説明】

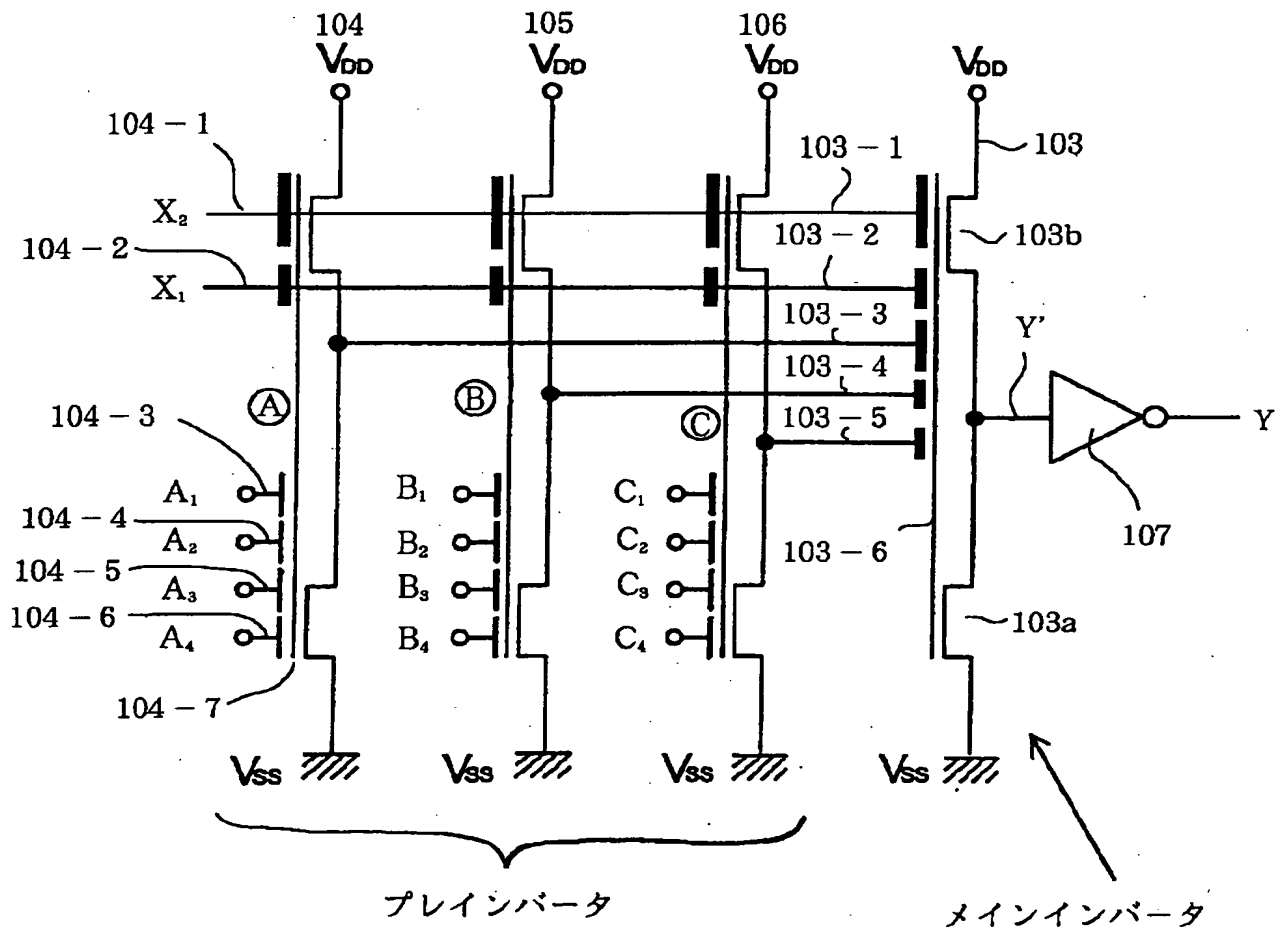
101a~101f 回路ブロック、  
102 ブロック間の配線、  
103a NチャネルニューロンMOSトランジスタ ( $\nu$ MOS)、  
103b Pチャネル $\nu$ MOS、  
103 CMOSインバータ、  
103-1, 103-2, 103-3, 103-4, 1

03-5 入力ゲート、  
103-6 フローティングゲート、との間の結合容量は、それぞれ $C_1:C_2:C_3:C_4:C_5=2:1:2:1:1$ となっている。  
104, 105, 106  $\nu$ MOSインバータ、  
104-1, 104-2, 104-3, 104-4, 104-5, 104-6 入力ゲート、  
104-7 フローティングゲート、  
107 CMOSインバータ、  
201 P型のシリコン基板、  
202, 203  $N^+$  拡散層で形成されたソース及びドレイン、  
204 ゲート絶縁膜 (例えば $SiO_2$ 膜)、  
205 ソース・ドレイン間のチャネル領域、  
206 電氣的に絶縁され電位的にフローティングの状態、  
207  $SiO_2$  等の絶縁膜、

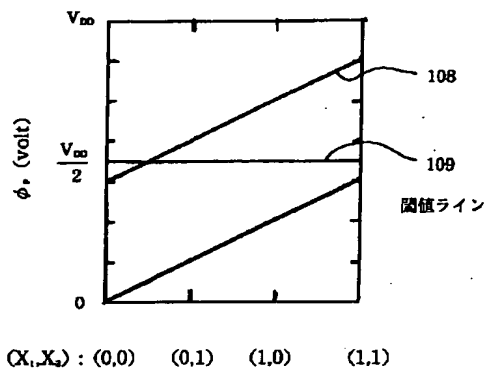
【図1 (a)】



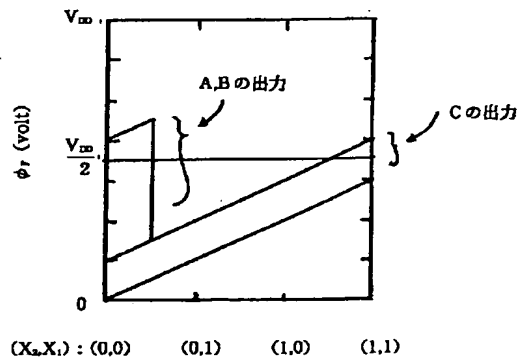
【図1 (b)】



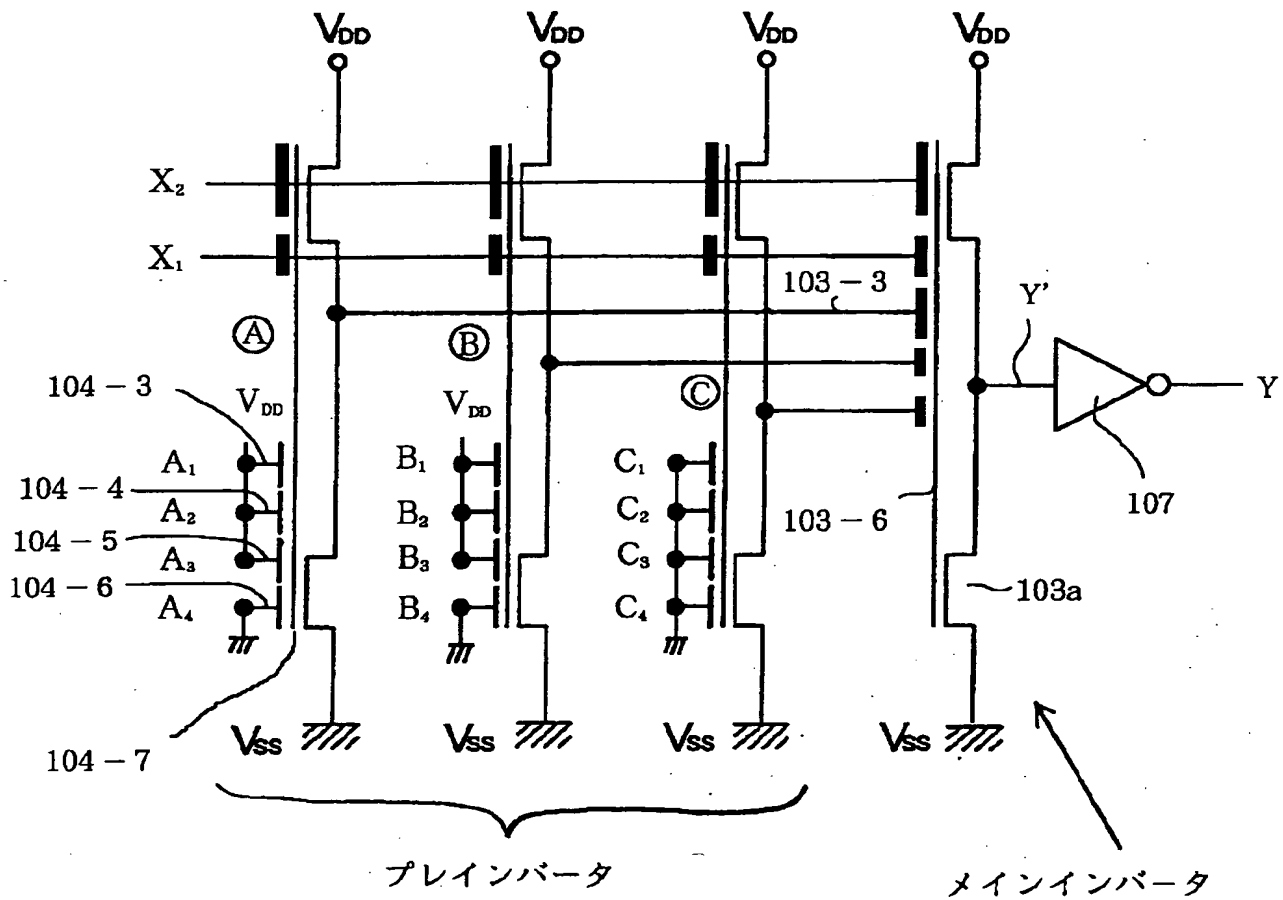
【図1 (d)】



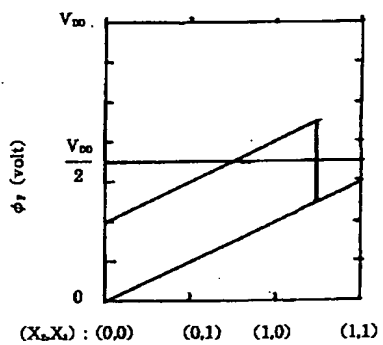
【図1 (e)】



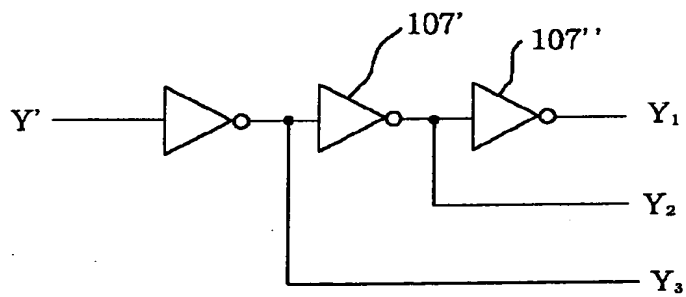
【図 1 (c)】



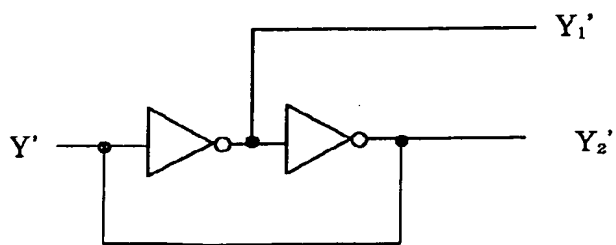
【图 1 (f)】



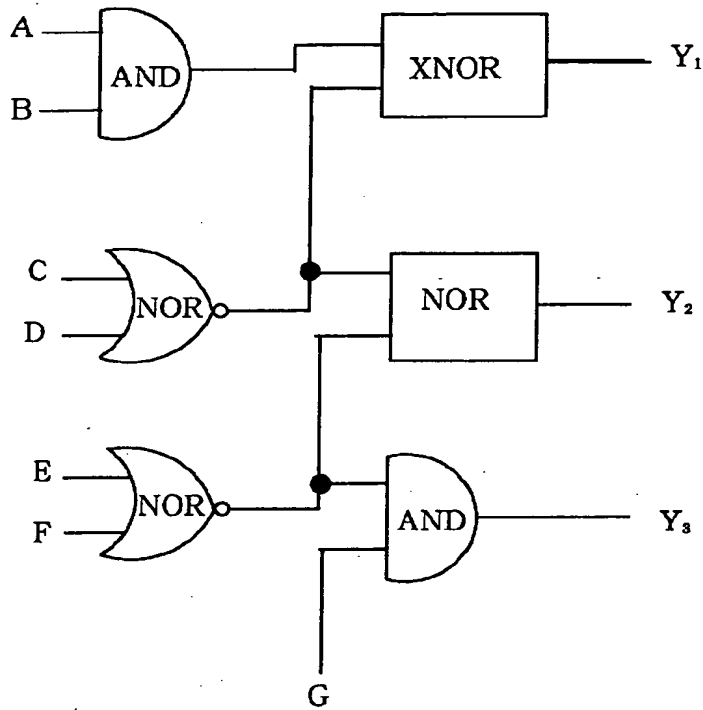
【図 1 (h)】



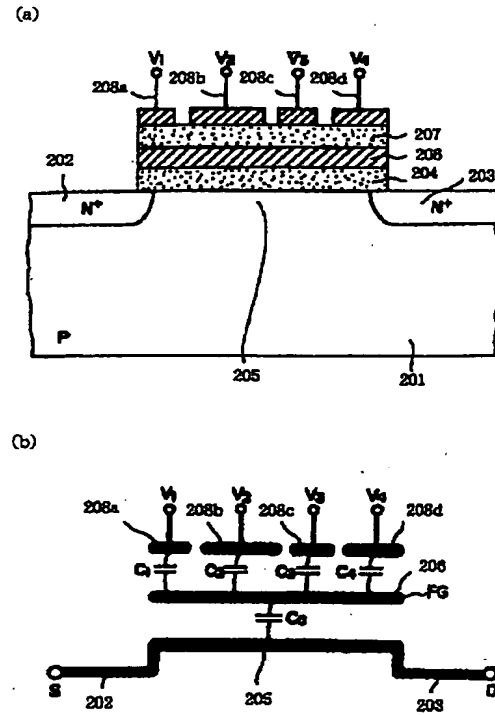
【図 1 (i)】



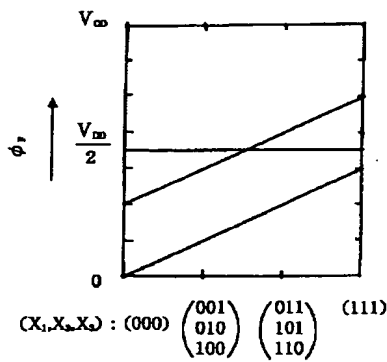
【図1 (g)】



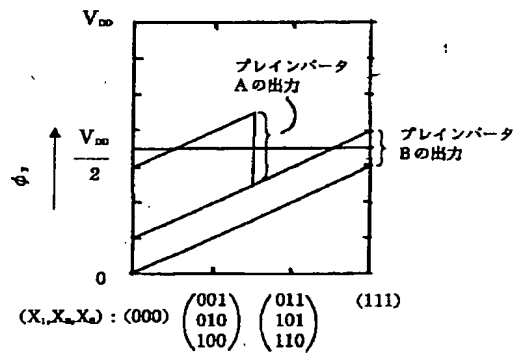
【図2】



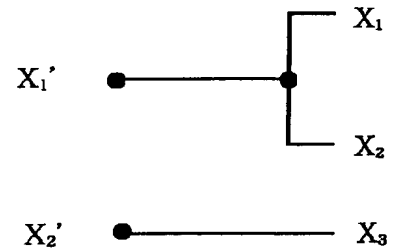
【図3 (b)】



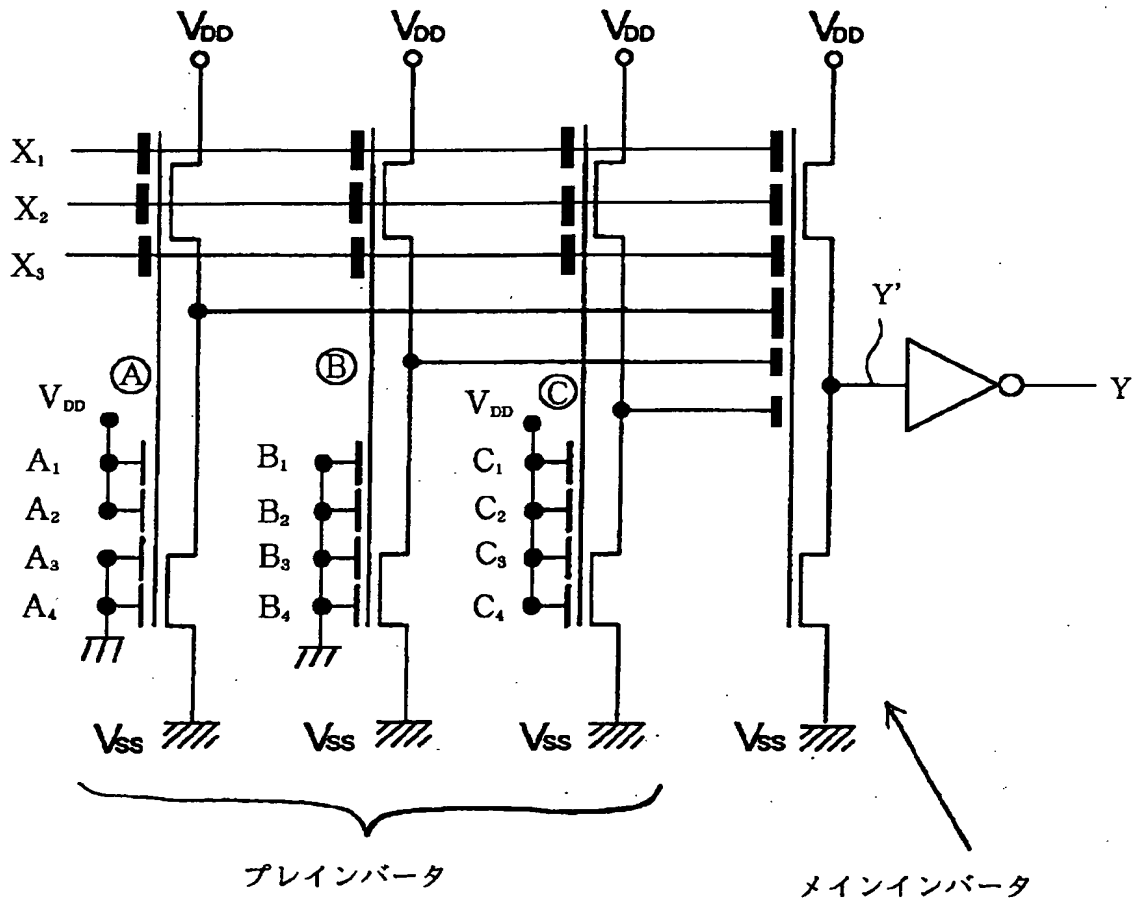
【図3 (c)】



【図3 (e)】



【図3(a)】



【図3(d)】

